

SON-2158

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of
Mutsuyoshi ITO

Group Art Unit: To Be Assigned

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: July 5, 2001

For: SEMICONDUCTOR PACKAGE AND
METHOD FOR PRODUCING THE
SAME

jc903 U.S. PTO
09/898068
07/05/01

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

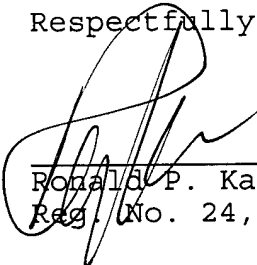
The benefit of the filing dates of the following prior application filed in the following foreign country are hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. P2000-207371 filed July 7, 2000

In support of this claim, filed herewith are certified copies of said original foreign application.

Respectfully submitted,

Dated: July 5, 2001



Ronald P. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW
Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax
Customer No. 23353

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c903 U.S. PTO
09/898068
07/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2000年 7月 7日

出 願 番 号

Application Number: 特願2000-207371

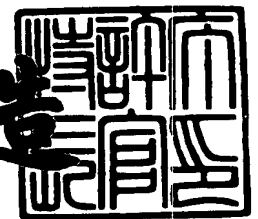
出 願 人

Applicant(s): ソニー株式会社

2001年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3047762

【書類名】 特許願

【整理番号】 0000323802

【提出日】 平成12年 7月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H05K 3/00

【発明者】

【住所又は居所】 石川県能美郡根上町赤井町は 8 6 番 ソニー根上株式会社
社内

【氏名】 伊藤 睦禎

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ及び半導体パッケージの製造方法

【特許請求の範囲】

【請求項 1】 半導体素子が実装される実装部と、上記半導体素子が電氣的に接続される第 1 の導電パターンが形成された第 1 の絶縁基板と、

上記第 1 の絶縁基板の実装部の周囲に立ち上がって設けられる側壁と、

上記第 1 の絶縁基板と上記側壁とによって構成され、上記実装部に上記半導体素子が実装された状態で封止樹脂によって封止されるキャビティと、

上記キャビティ及び上記側壁上に設けられ、上記側壁を貫通して設けられたスルーホールによって上記第 1 の導電パターンと電氣的接続が図られた第 2 の導電パターンが一方の面に設けられた第 2 の絶縁基板とを備え、

上記第 2 の絶縁基板の一方の面上には、少なくともキャビティ上に、はんだランドが設けられていることを特徴とする半導体パッケージ。

【請求項 2】 上記第 1 の絶縁基板の他方の面には、放熱板が設けられていることを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 3】 第 1 の絶縁基板上に半導体素子が実装される実装部と、上記半導体素子が電氣的に接続される第 1 の導電パターンとを形成するステップと、

上記第 1 の絶縁基板の一方の面上に、上記実装部とほぼ同じ大きさの開口部が形成されたスペーサを積層するステップと、

上記第 1 の絶縁基板と上記スペーサに設けられた開口部とで構成されたキャビティ内の上記実装部に半導体素子を実装するステップと、

上記実装部に半導体素子が実装された後、上記キャビティを封止樹脂により封止するステップと、

一方の面に導電層が設けられた第 2 の絶縁基板を、上記スペーサ上に積層するステップと、

上記第 1 の導電パターンと上記導電層との電氣的接続を図るためスルーホールを形成するステップと、

上記導電層に、少なくともキャビティ上に、はんだランドを形成するステップとを有する半導体パッケージの製造方法。

【請求項 4】 上記第 2 の導電パターンが形成された後に、上記第 1 の絶縁基板の他方の面に放熱板を設けるステップとを有することを特徴とする請求項 3 記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、基板の内部に半導体素子を内蔵した半導体パッケージ及びこの半導体パッケージの製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来より、半導体パッケージには、図 1 5 に示すように、プリント基板との実装面にはんだボールの端子を配置した L S I (large-scale integrated circuit) の表面実装用エリアアレイ型の B G A (ball grid array) がある。

【 0 0 0 3 】

この B G A 7 0 は、図 1 5 に示すように、第 1 の絶縁基板 7 2 を有し、この第 1 の絶縁基板 7 2 上に実装される半導体素子 7 3 と、この第 1 の絶縁基板 7 2 上に接着層となるプリプレグ 7 4 を介して積層される第 2 の絶縁基板 7 5 とを有する。

【 0 0 0 4 】

第 1 の絶縁基板 7 2 は、例えばガラス布を基材としてエポキシ樹脂を含浸させ、両面に銅箔を貼着させた銅張積層板であり、略矩形状に形成されている。第 1 の絶縁基板 7 2 は、一方の面に導電パターン 7 6 が、他方の面に放熱板用ベタパターン 7 7 がフォトリソグラフィーを用いたプリントエッチ法でパターンニングされている。この第 1 の絶縁基板 7 2 は、略中央部に半導体素子 7 3 が実装される実装部 7 9 が設けられている。また、第 1 の絶縁基板 7 2 は、実装部 7 9 の周縁部に、第 1 の絶縁基板 7 2 上に半導体素子 7 3 を実装するための開口部 8 0 が設けられた第 2 の絶縁基板 7 5 が、同様に開口部 8 1 が設けられたプリプレグ 7 4 を介して積層されている。この開口部 8 0 は、第 2 の絶縁基板 7 5 の略中央部を打ち抜かれて形成され、また、開口部 8 1 は、プリプレグ 7 4 の略中央部を打ち

抜かれて形成されている。第 1 の絶縁基板 7 2 は、この開口部 8 0 と第 1 の絶縁基板 7 2 とでキャビティ 8 2 が構成される。そして、第 1 の絶縁基板 7 2 は、このキャビティ 8 2 から実装部 7 9 上に半導体素子 7 3 が熱硬化型接着剤、例えばダイボンダ剤 8 3 によって実装される。この半導体素子 7 3 は、第 1 の絶縁基板 7 2 に形成された導電パターン 7 6 とボンディングワイヤ 8 4 等により電氣的に接続されている。また、このキャビティ 8 2 は、液状の封止樹脂 8 6 が塗布され、熱工程によって硬化処理されている。これにより、キャビティ 8 2 の上面が平坦化されるとともに、第 2 の絶縁基板 7 5 の上面と面一とされ、BGA 7 0 をマザーボード上に精度良く実装できる。

【 0 0 0 5 】

第 1 の絶縁基板 7 2 上に積層される第 2 の絶縁基板 7 5 は、一方の面に銅箔が貼り合わされており、この銅箔はフォトリソグラフィを用いたプリントエッチ法でパターニングされることによりはんだランド 8 8 及びはんだランド 8 8 間を導通する導電パターン 8 9 が形成されている。はんだランド 8 8 は、第 2 の絶縁基板 7 5 の一方の面に、開口部 8 0 の周囲に複数形成されている。

【 0 0 0 6 】

また、第 2 の絶縁基板 7 5 は、メッキ処理されたスルーホール 9 1 が、第 2 の絶縁基板 7 5 の上面から第 1 の絶縁基板 7 2 の下面にかけて穿設されている。これにより、第 2 の絶縁基板 7 5 上に形成されている導電パターン 8 9 と第 1 の絶縁基板上に形成されている導電パターン 7 6 並びに第 1 の絶縁基板の他方の面に形成されている放熱板用ベタパターン 7 7 とはスルーホール 9 1 により電氣的に接続されている。このような BGA 7 0 は、各はんだランド 8 8 にクリームはんだを印刷しリフローすることにより、はんだボール 9 2 が複数形成される。

【 0 0 0 7 】

第 1 の絶縁基板 7 2 の放熱板用ベタパターン 7 7 が形成されている面側には、接着剤によって放熱板 9 3 が貼付されている。これにより BGA 7 0 が熱を持った場合にも放熱板 9 3 を通して放熱され、BGA 7 0 の過熱が防止される。

【 0 0 0 8 】

このような BGA 7 0 は、第 2 の絶縁基板 7 5 上面に形成されたはんだボール

9 2 がマザーボードに形成された導電層と導通接続されることによって、マザーボード上に実装される。

【 0 0 0 9 】

【発明が解決しようとする課題】

ところで、小型、軽量化を求められる電気機器等では、内蔵される B G A の小型化が必要になる。しかし、図 1 5 に示すように、封止樹脂 8 6 が塗布されるキャビティ 8 2 と第 2 の絶縁基板 7 5 との領域が分離されているパッケージでは、はんだボール 9 2 及び導体パターンを、第 2 の絶縁基板 7 5 の上面側のみ設けることができ、キャビティ 8 2 上には設けることができないため、パッケージの面積が大きくなってしまう。

【 0 0 1 0 】

また、はんだボール及び導体パターンは、半導体パッケージとマザー基板との導通接続を図るものであるため、設置領域を縮小するにも限度があり、半導体パッケージの小型化を図ることが困難であった。

【 0 0 1 1 】

そこで、本発明は、封止樹脂の上にもはんだボールを搭載でき、パッケージの面積の小型化を図ることができる半導体パッケージ及びこの半導体パッケージの製造方法を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上述した課題を解決するために、本発明に係る半導体パッケージは、半導体素子が実装される実装部と、上記半導体素子が電氣的に接続される第 1 の導電パターンが形成された第 1 の絶縁基板と、上記第 1 の絶縁基板の実装部の周囲に立ち上がって設けられる側壁と、上記第 1 の絶縁基板と上記側壁とによって構成され、上記実装部に上記半導体素子が実装されるとともに封止樹脂によって封止されるキャビティと、上記キャビティ及び上記側壁上に設けられ、上記側壁を貫通して設けられたスルーホールによって上記第 1 の導電パターンと電氣的接続が図られた第 2 の導電パターンが一方の面に設けられた第 2 の絶縁基板 7 5 とを備え、上記第 2 の絶縁基板 7 5 の一方の面上には、全面に亘って格子状に、はんだラン

ドが設けられている。

【 0 0 1 3 】

また、本発明にかかる半導体パッケージの製造方法は、第 1 の絶縁基板上に半導体素子を実装される実装部と、上記半導体素子が電氣的に接続される第 1 の導電パターンとを形成するステップと、上記第 1 の絶縁基板の一方の面上に、上記実装部とほぼ同じ大きさの開口部 8 0 が形成された間隙形成基板を積層するステップと、上記第 1 の絶縁基板と上記間隙形成基板に設けられた開口部 8 0 とで構成されたキャビティ内の上記実装部に半導体素子を実装するステップと、上記実装部に半導体素子を実装された後、上記キャビティを封止樹脂により封止するステップと、一方の面に導電層が設けられた第 2 の絶縁基板 7 5 を、上記間隙形成基板上に積層するステップと、上記第 1 の導電パターンと上記導電層との電氣的接続を図るため上記第 1 の絶縁基板と第 2 の絶縁基板 7 5 とに亘ってスルーホールを形成するステップと、上記導電層にはんだランドを含む第 2 の導電パターンを形成するステップとを有する。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明に係る半導体パッケージが適用された B G A について、図面を用いて詳細に説明する。図 1 乃至図 3 に本発明が適用された B G A 1 を示す。この B G A 1 は、一方の面にはんだランドが全面に亘って格子状に配置された L S I の表面実装用エリアアレイ型のパッケージである。この B G A 1 は、半導体素子 2 が実装され導電パターン 4 が形成されている第 1 の絶縁基板 5 と、実装部 3 の周囲に立ち上がり形成された側壁 6 と、第 1 の絶縁基板 5 と側壁 6 とによって形成されたキャビティ 7 と、はんだランド 9 が形成される第 2 の絶縁基板 1 0 と、B G A 1 の過熱を防止する放熱板 1 1 とを有し、B G A 1 のキャビティ 7 内には、半導体素子 2 が実装され、封止樹脂 1 2 が充填されている。

【 0 0 1 5 】

半導体素子 2 が搭載される第 1 の絶縁基板 5 は、ガラス布を基材としてエポキシ樹脂を含浸させ、両面に銅箔を貼付した略矩形の銅張積層板である。第 1 の絶縁基板 5 は、フォトリソグラフィを用いたプリントエッチ法でパターニングさ

れることにより、一方の面に半導体素子 2 が実装される実装部 3 と、実装部 3 の周囲に形成され実装された半導体素子 2 を電氣的に接続させる導電パターン 4 が形成されている。また、第 1 の絶縁基板 5 は、同様にして、他方の面に後述する放熱板 1 1 からパッケージ内の熱を逃がすための放熱用のパターン 1 5 及びスルーホール用のランド 1 6 が形成されている。

【 0 0 1 6 】

半導体素子 2 が実装される実装部 3 は、第 1 の絶縁基板 5 の略中央部に形成され、後述するダイボンド等の接着剤を用いて半導体素子 2 が実装されている。実装部 3 の周囲に形成されている導電パターン 4 は、第 1 の絶縁基板 5 の一方の面の周縁部に沿って連続して形成されているランド部 2 1 と、ランド部 2 1 より実装部 3 に向かって形成され、後述するボンディングワイヤ 1 3 と接続されるパターン部 2 2 とからなる。このランド部 2 1 は、後述するメッキスルーホール 2 6 が穿設されている。

【 0 0 1 7 】

また、第 1 の絶縁基板 5 の他方の面は、放熱板用のベタパターン 1 5 が中央部から周縁部にかけて略正形状に形成され、メッキスルーホール 2 6 によって貫通されるスルーホールランド 1 6 が放熱板用のベタパターン 1 5 の周囲に設けられている。

【 0 0 1 8 】

第 1 の絶縁基板 5 の周囲に立ち上がり形成されている側壁 6 は、プリプレグ 1 7 と、プリプレグ 1 7 上に積層されるスペーサ基板 1 8 とにより構成される。

【 0 0 1 9 】

スペーサ基板 1 8 と第 1 の絶縁基板 5 とを一体化させるプリプレグ 1 7 は、中央部に上記実装部 3 と略同じ大きさの略正形状の開口部 1 9 が形成され、第 1 の絶縁基板 5 と同じ大きさの略正形状に形成されている。このプリプレグ 1 7 は、第 1 の絶縁基板 5 の周縁部に沿ってランド部 2 1 上に積層され、スペーサ基板 1 8 と第 1 の絶縁基板 5 との接着層として機能する。また、スペーサ基板 1 8 も、プリプレグ 1 7 と同様に、中央部に上記実装部 3 と略同じ大きさの略正形状の開口部 2 3 が形成され、第 1 の絶縁基板 5 と同じ大きさの略正形状に形成

されている。このようなスペーサ基板 1 8 は、プリプレグ 1 7 を介して、第 1 の絶縁基板 5 の周縁部に積層されている。これにより、第 1 の絶縁基板 5 上には、側壁 6 により囲まれた領域に半導体素子 2 を収納するのに十分な深さを有するキャビティ 7 を形成する。そして、キャビティ 7 は、第 1 の絶縁基板 5 上に設けられた実装部 3 を外部に臨ませる。

【 0 0 2 0 】

このような側壁 6 には、積層されている第 2 の絶縁基板 1 0 の周縁部に連続して形成されているスルーホールランド 2 5 と、第 1 の絶縁基板 5 の周縁部に連続して形成されているランド部 2 1 との間を貫通するように、複数のメッキスルーホール 2 6 が側壁 6 の立ち上がり方向に形成されている。

【 0 0 2 1 】

第 1 の絶縁基板 5 上に形成されたキャビティ 7 より外部に臨まれた第 1 の絶縁基板 5 に設けられた実装部 3 には、後述する主として所定の電気回路が形成されたチップ状の半導体素子 2 が熱硬化型接着剤、例えばダイボンダ剤 2 7 によって実装されている。そして、半導体素子 2 と、第 1 の絶縁基板 5 上に形成された導電パターン 4 のパターン部 2 2 とはボンディングワイヤ 1 3 により電氣的に接続されている。

【 0 0 2 2 】

半導体素子 2 を収納したキャビティ 7 は、上面が側壁 6 と面一となるように、封止樹脂 1 2 が充填されている。封止樹脂 1 2 は液状の熱硬化型樹脂であり、熱処理されることにより、硬化処理される。これにより、BGA 1 は上面が平坦化され、後述する第 2 の絶縁基板 1 0 が確実に積層される。

【 0 0 2 3 】

スペーサ基板 1 8 の上面に積層される第 2 の絶縁基板 1 0 は、ガラス布基材にエポキシ樹脂を含浸させ、一方の面に銅箔を貼付した銅張積層板からなり、第 1 の絶縁基板 5 と略同一の大きさに形成されている。この第 2 の絶縁基板 1 0 は、はんだボール 8 が形成されるはんだランド 9、メッキスルーホール 2 6 が形成されたスルーホールランド 2 5 及びはんだランド 9 とスルーホールランド 2 5 とを導通させる伝導パターン 3 1 が、フォトリソグラフィを用いたプリントエッチ

法でパターンニングされている。そして、第2の絶縁基板10は、パターンニングされている面を外方に向け、側壁6及びキャビティ7上にプリプレグ28を介して積層一体化されている。

【0024】

はんだランド9は、第2の絶縁基板10の全面に亘って格子状に形成されている。このはんだランド9上には、マザーボードとBGA1との導通接続を図るはんだボール8がはんだクリームを印刷されリフローされることにより形成されている。

【0025】

第1の絶縁基板5の他方の面には、BGA1の熱を外部に放射して、BGA1の過熱を防ぐ放熱板11が設けられている。放熱板11は、第1の絶縁基板5と略同じ大きさの略正形状に形成されている。この放熱板11は、第1の絶縁基板5の一方の面に形成されている放熱板用ベタパターン15及びスルーホールランド16上に、接着剤32により接着されている。これによりBGA1は、パッケージ内部の熱を、放熱板11を通じて外部に放出し、過熱による不良を防ぐことができる。

【0026】

このようなBGA1は、第2の絶縁基板10上に配設されたはんだボール8がマザーボード上の実装面に当接され、リフローソルダーリングによりマザーボードに接続される。これにより、BGA1は、第2の絶縁基板10上に形成されたはんだボール8と伝導パターン31及びメッキスルーホール26を通じてマザーボードと電氣的に接続される。

【0027】

このように、本発明が適用されたBGAによれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として、BGA1とマザーボードとの導通接続を図るはんだボール8が、BGA1の半導体素子2の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの接続に対し、デッドスペースとならず、実装上有効な面積となる。従って、パッケージの面積は大きな

らず、小型で高放熱の、BGAを形成することができる。

【0028】

このようなBGA1は、以下のように製造される。

【0029】

先ず、エポキシ樹脂を含浸させたガラス布の両面に銅箔を貼付することにより、銅張積層板からなる第1の絶縁基板5が形成される。次いで、図4に示すように、この第1の絶縁基板5は、略矩形に形成され、一方の面に、ランド部21及びパターン部22に対応したパターンが印刷されたフォトリソグラフィを用いて、フォトリソグラフィを用いたプリントエッチ法によりパターニングされる。これにより、第1の絶縁基板5は、周縁部に沿って連続するランド部21と、このランド部21より第1の絶縁基板5の略中央に形成されている実装部3に亘って形成されるパターン部22とからなる導電パターン4が形成される。また、第1の絶縁基板5の他方の面は、全面に銅パターン20が形成されている。

【0030】

また、同様に略矩形のプリプレグ17及びスペーサ基板18を形成し、このプリプレグ17及びスペーサ基板18の中央部を打ち抜く等して開口部19、23を形成する。

【0031】

次いで、図5及び図6に示すように、ランド部21に被せるようにして、第1の絶縁基板5と同じ大きさのスペーサ基板18をプリプレグ17を介して積層し、真空熱プレスにより第1の絶縁基板5と一体化することにより、第1の絶縁基板5の周縁部に側壁6を形成する。第1の絶縁基板5は、周縁部に側壁6が形成されることにより、キャビティ7が形成される。

【0032】

次いで、キャビティ7内には、図7に示すように、電気回路が形成された半導体素子2が搭載される。この半導体素子2は、ダイボンド剤27等の接着剤を介して、第1の絶縁基板5の略中央に形成された実装部3上に搭載される。その後、半導体素子2は、図8に示すように、第1の絶縁基板5の一方の面に形成されているパターン部22と、図示しないワイヤーボンド装置によって、ボンディン

グワイヤ 1 3 により電氣的に接続される。

【 0 0 3 3 】

次いで、図 9 に示すように、半導体素子 2 が収納されたキャビティ 7 は、液状の封止樹脂 1 2 が塗布される。この封止樹脂 1 2 は、エポキシ系、メラミン系、フェノール系、尿素系等の熱硬化性樹脂からなり、図示しない熱処理工程を経て硬化される。これにより、BGA 1 は、半導体素子 2 の封止領域と側壁 6 の上面とが略面一とされる。なお、BGA 1 は、適宜、側壁 6 の上面又は硬化処理された封止樹脂 1 2 を研磨することにより側壁 6 の上面と封止領域とが面一とされる。

【 0 0 3 4 】

次いで、第 1 の絶縁基板 5 の側壁 6 及び封止樹脂 1 2 が塗布された領域が被さるように、第 1 の絶縁基板 5 と同じ大きさの第 2 の絶縁基板 1 0 が積層される。この第 2 の絶縁基板 1 0 は、エポキシ樹脂に含浸されたガラス布の一方の面に銅箔が貼付された片面銅張積層板からなる。第 2 の絶縁基板 1 0 は、銅箔が貼付されている面を外方に向けて、第 1 の絶縁基板 5 と同じ大きさのプリプレグ 2 8 を介して積層され、真空熱プレスされることにより第 1 の絶縁基板 5 と一体化される。

【 0 0 3 5 】

そして、図 1 0 及び図 1 1 に示すように、第 2 の絶縁基板 1 0 は、NC ボール旋盤等により、周縁部に沿って連続して、側壁 6 及び第 1 の絶縁基板 5 の両面を貫通させる貫通孔が穿設される。貫通孔は、硫酸法、クロム酸法、プラズマ法等のデスマア処理により、孔内に残ったバリが除去される。その後、貫通孔は、電解銅めっきまたは無電解銅めっきによりめっき処理されることによりメッキスルーホール 2 6 が形成される。このメッキスルーホール 2 6 は、第 1 の絶縁基板 5 に形成されたランド部 2 1 を貫通するため、第 1 の絶縁基板 5 の一方の面に形成される導電パターン 4 と、第 2 の絶縁基板 1 0 と、第 1 の絶縁基板 5 の他方の面に形成されている銅パターン 2 0 相互の導通が図られる。

【 0 0 3 6 】

次いで、第 2 の絶縁基板 1 0 は、図 1 2 に示すように、銅箔が貼付されている

面に、はんだランド 9、スルーホールランド 2 5 及びこれらを導通する伝導パターン 3 1 が印刷されたフォトリソグラフィを用いたプリントエッチ法により、はんだランド 9、スルーホールランド 2 5 及び伝導パターン 3 1 がパターンニングされる。このはんだランド 9 は、第 2 の絶縁基板 1 0 の銅箔が貼付されている面に全面に亘って格子状に形成されている。また、スルーホールランド 2 5 は、図 1 2 に示すように、第 2 の絶縁基板 1 0 の周縁部に沿って連続して形成されているメッキスルーホール 2 6 がランドの中心となるように形成される。これらはんだランド 9 とスルーホールランド 2 5 とは、それぞれ一本の伝導パターン 3 1 によって接続されている。

【 0 0 3 7 】

また、同様にして、第 1 の絶縁基板 5 の他方の面に形成されている銅パターン 2 0 にも、図 1 3 に示すように、放熱板用ベタパターン 1 5 及び第 1 の絶縁基板 5 の周縁部に沿って連続したスルーホールランド 1 6 が形成される。このスルーホールランド 1 6 も、上記スルーホールランド 2 5 と同様に、メッキスルーホール 2 6 がランドの中心となるように形成される。また、放熱板用ベタパターン 1 5 は、中央部から周縁部にかけて略正形状に形成される。

【 0 0 3 8 】

次いで、第 1 の絶縁基板 5 の他方の面には、図 1 4 に示すように、スルーホールランド 1 6 及び放熱板用ベタパターン 1 5 に被せるように、放熱板 1 1 が接着剤 3 2 を介して貼付される。この放熱板は、第 1 の絶縁基板 5 と同一の大きさを有している。これにより、BGA 1 は、パッケージ内部の熱を、放熱板 1 1 を通じて外部に放出し、過熱による不良を防ぐことができる。

【 0 0 3 9 】

次いで、図 1 及び図 2 に示すように、図示しないはんだボールマウンタ、リフロー炉等を用いて、BGA 1 をマザー基板に導通接続させるはんだボール 8 をはんだランド 9 の上に搭載することにより BGA 1 が製造される。

【 0 0 4 0 】

このような BGA の製造方法によれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として

、BGA1とマザーボードとの導通接続を図るはんだボール8が、BGA1の半導体素子2の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの接続に対し、デッドスペースとならず、実装上有効な面積となる。従って、パッケージの面積は大きくなり、小型で高放熱の、BGAを形成することができる。

【0041】

なお、第1の絶縁基板5及び第2の絶縁基板10に形成された各導体パターンは、上述したフォトリソグラフィを用いたプリントエッチ法によるほか、スクリーン印刷その他の公知の印刷法を用いて形成されてもよい。

【0042】

【発明の効果】

以上詳細に説明したように、本発明が適用された半導体パッケージ及びその製造方法によれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として、BGAとマザーボードとの導通接続を図るはんだボールを、BGAの半導体素子の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの実装に対し、有効な面積となる。従って、半導体パッケージの面積は大きくなり、小型で高放熱の半導体パッケージを形成することができる。

【図面の簡単な説明】

【図1】

本発明が適用されたBGAの断面図である。

【図2】

本発明が適用されたBGAの平面図である。

【図3】

本発明が適用されたBGAの底面図である。

【図4】

ランド及び伝導パターンが形成された絶縁基板を示す平面図である。

【図5】

図4に示す絶縁基板にプリプレグ及び絶縁基板を積層させて側壁を形成した様

子を説明する断面図である。

【図 6】

側壁が形成された絶縁基板を示す平面図である。

【図 7】

キャビティ内に半導体素子を搭載した様子を説明する断面図である。

【図 8】

ボンディングワイヤにより半導体素子を導電パターンと接続した様子を示す平面図である。

【図 9】

半導体素子を収納したキャビティ内に封止樹脂を塗布した様子を示す断面図である。

【図 1 0】

絶縁板を積層させて、絶縁板、側壁、絶縁基板にメッキスルーホールを形成した様子を示す断面図である。

【図 1 1】

図 1 0 に示す絶縁板を示す平面図である。

【図 1 2】

絶縁板にスルーホールランド、はんだランド及び導電パターンが形成された様子を示す平面図である。

【図 1 3】

放熱板用ベタパターン及びスルーホールランドが形成された B G A を示す底面図である。

【図 1 4】

放熱板が貼付された B G A を示す断面図である。

【図 1 5】

従来の B G A を示す断面図である。

【符号の説明】

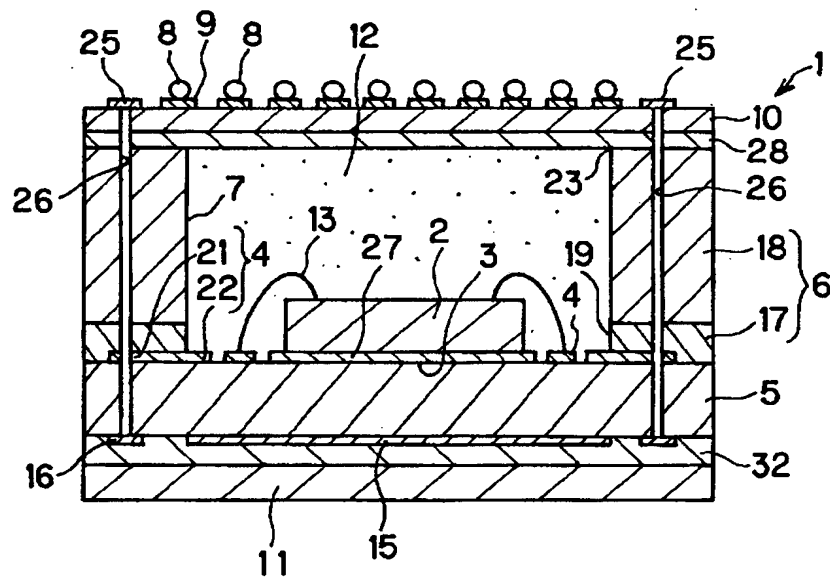
1 B G A、2 半導体素子、3 実装部、4 導電パターン、5 第 1 の絶縁基板、6 側壁、7 キャビティ、8 はんだボール、9 はんだランド、1 0

第 2 の絶縁基板、1 1 放熱板、1 2 封止樹脂、1 3 ボンディングワイヤ、1 5 放熱板用ベタパターン、1 6 ランド、1 8 プリプレグ、1 9 側壁基板、2 1 ランド部、2 2 パターン部、2 3 スルーホールランド、2 4 メッキスルーホール、2 5 ダイボンド、2 6 プリプレグ、3 1 伝導パターン、3 2 接着剤

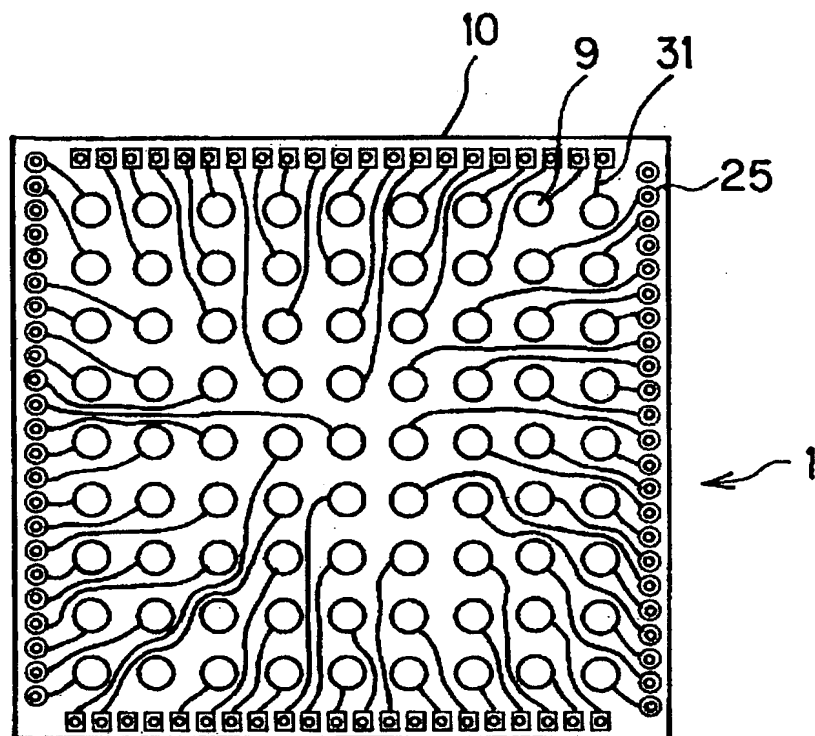
【書類名】

図面

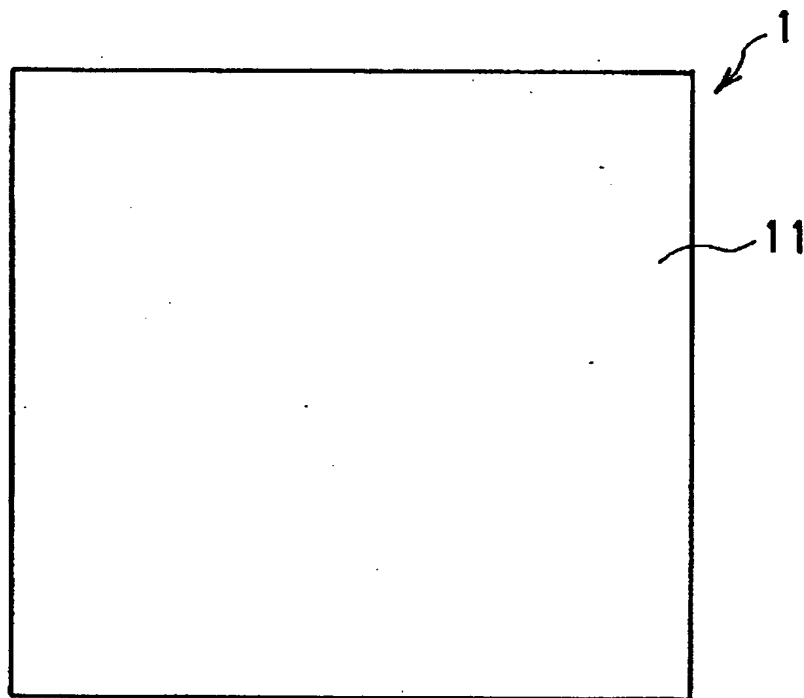
【図 1】



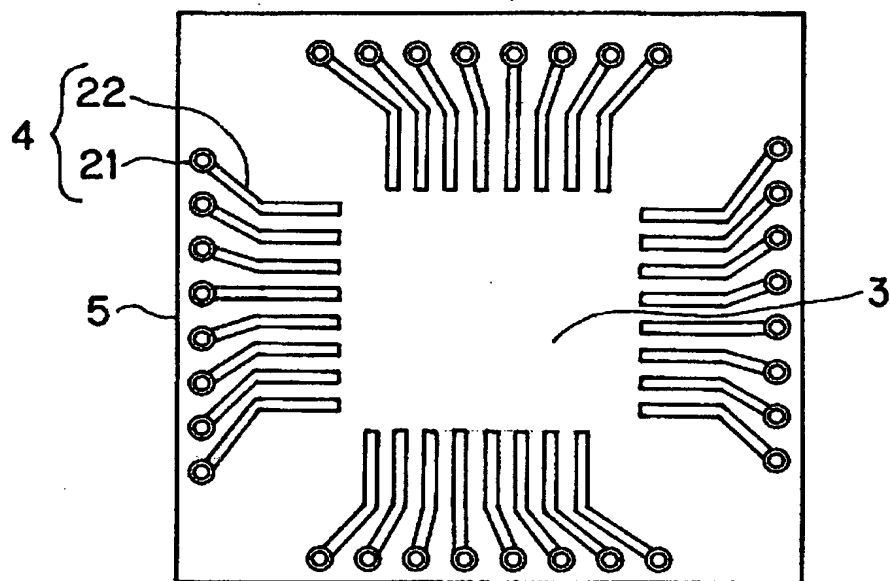
【図 2】



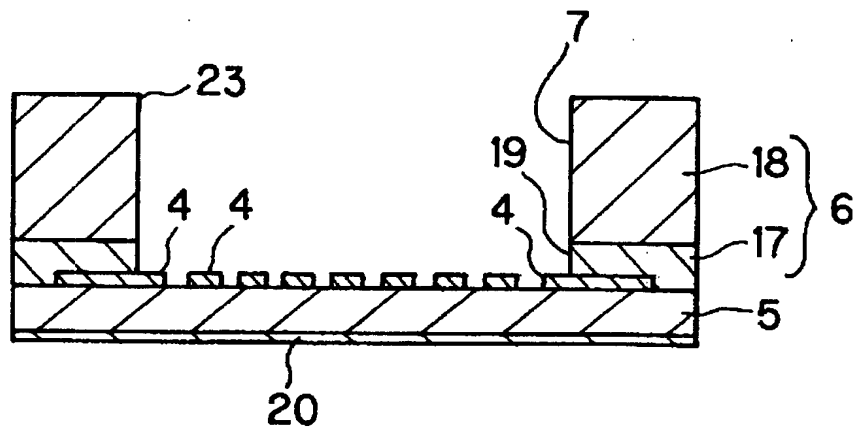
【図3】



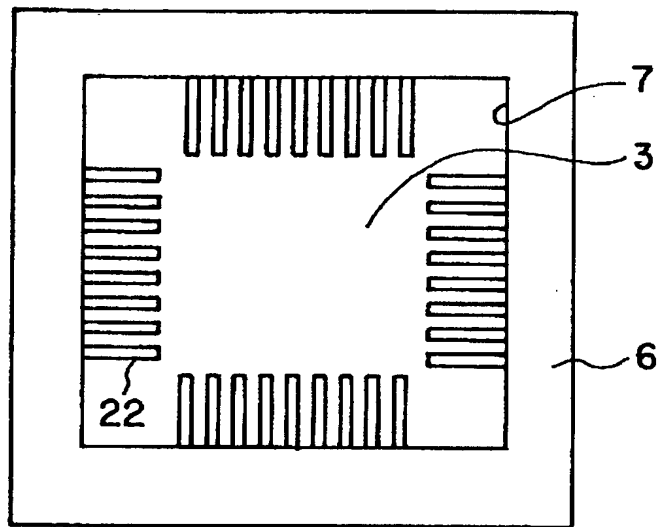
【図4】



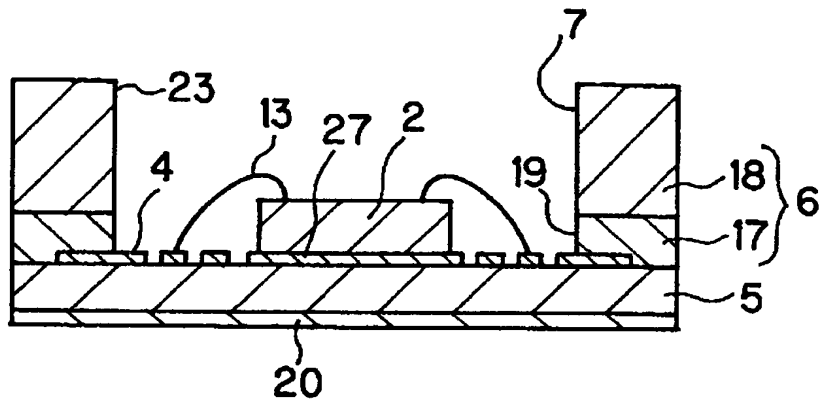
【図 5】



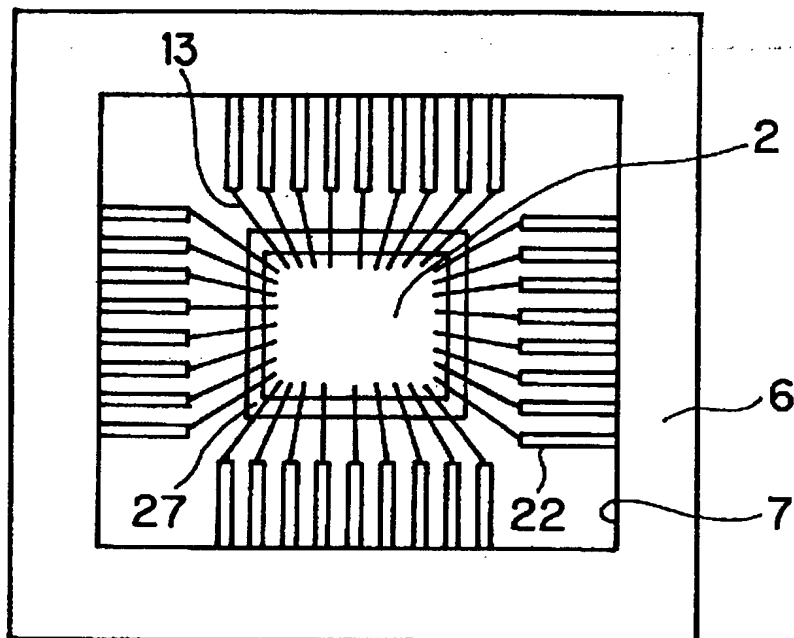
【図 6】



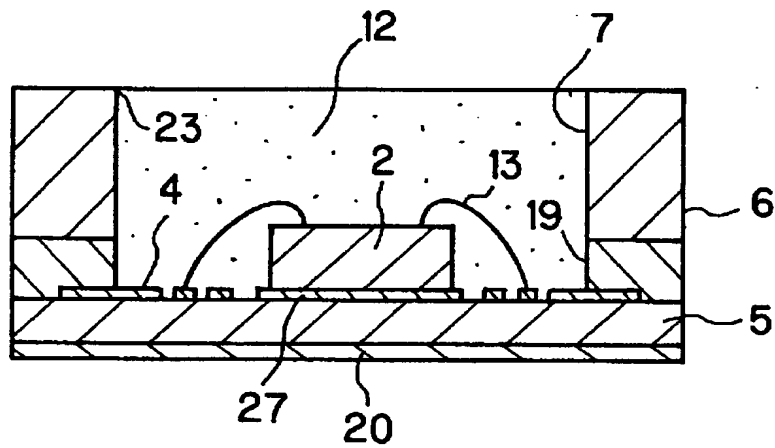
【図 7】



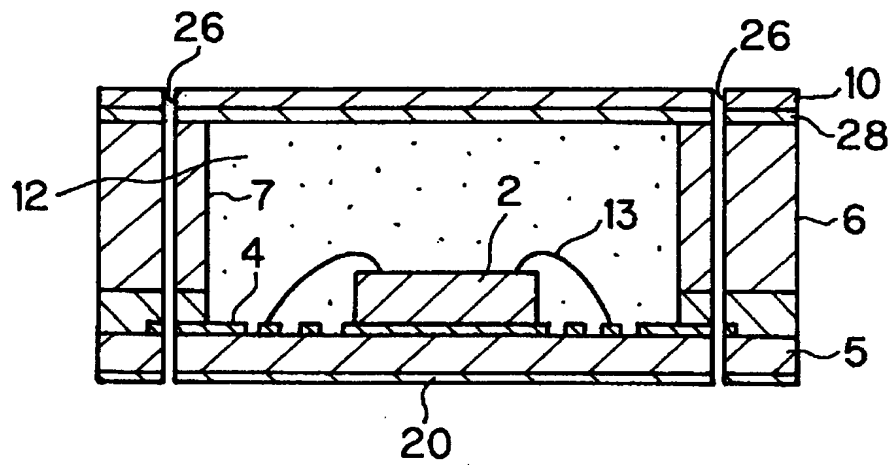
【図 8】



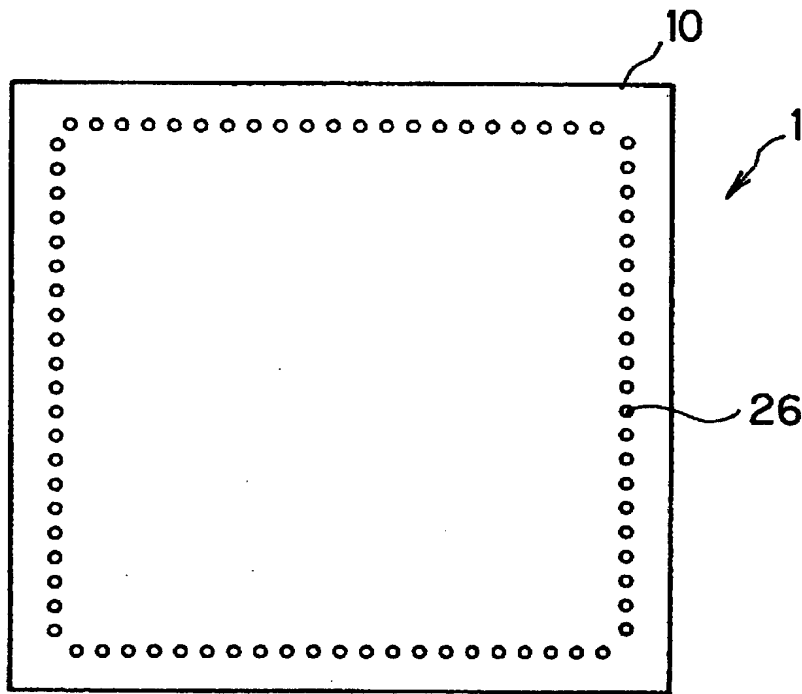
【図 9】



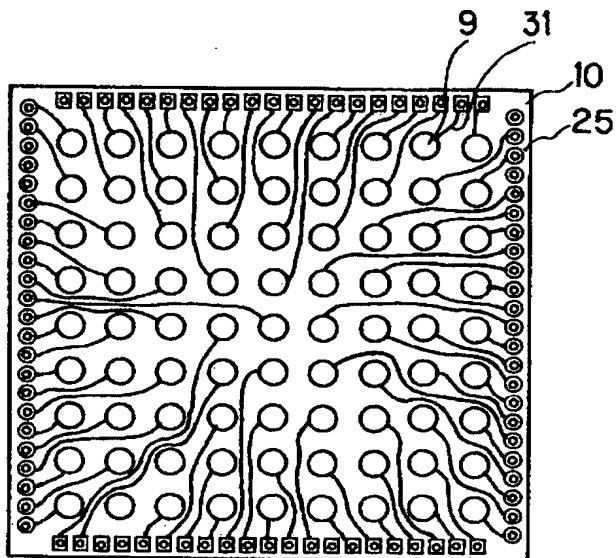
【図 10】



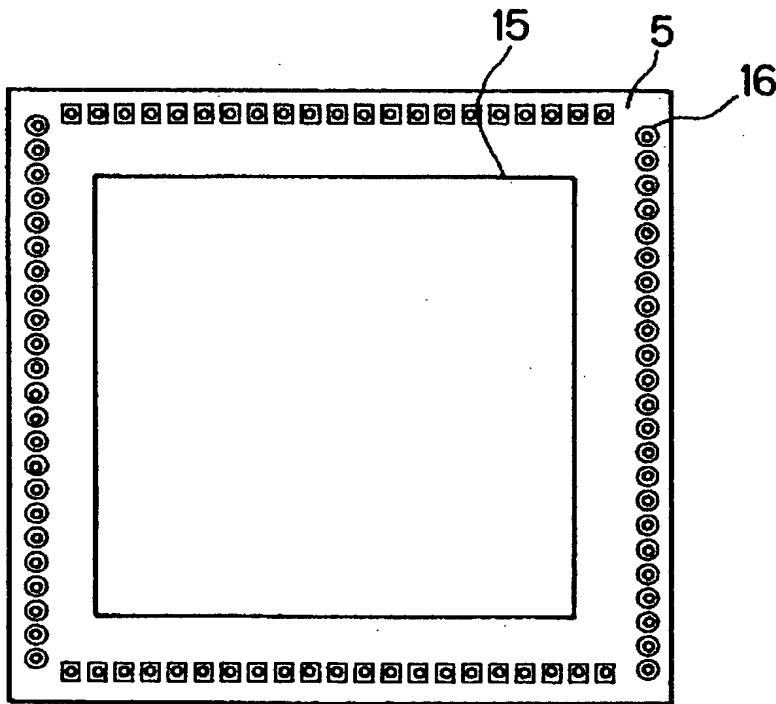
【図 1 1】



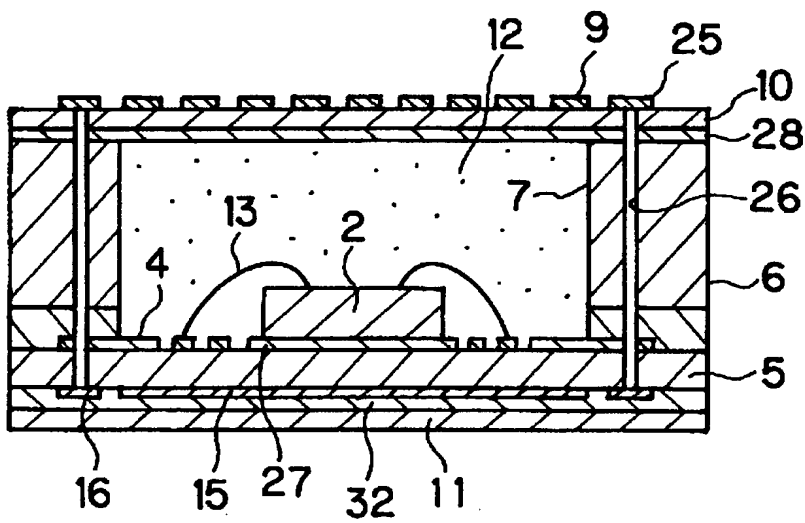
【図 1 2】



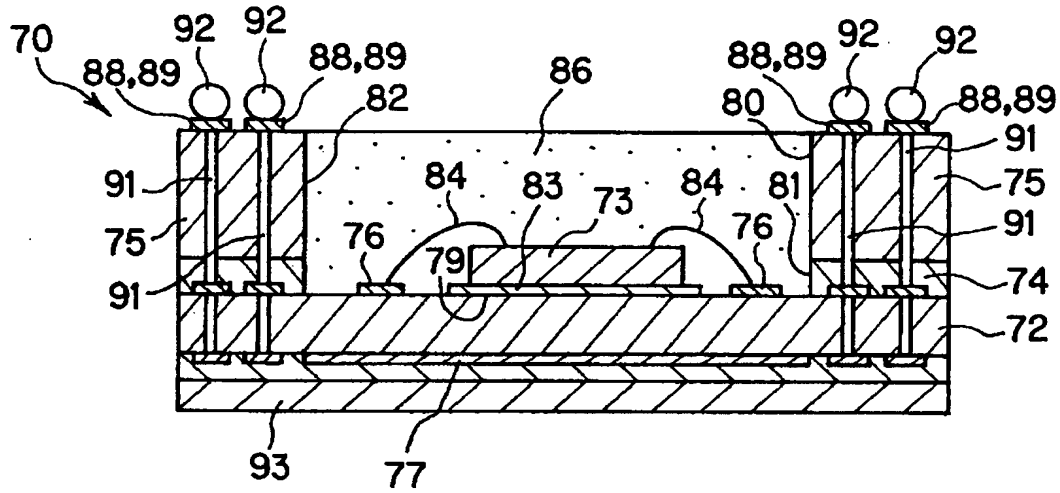
【図 1 3】



【図 1 4】



【図15】



【書類名】 要約書

【要約】

【課題】封止樹脂上にもはんだボールを搭載でき、パッケージ面積の小型化を図ることができる半導体パッケージ及び半導体パッケージの製造方法を提供する。

【解決手段】 半導体素子 2 が実装される実装部 3 と、半導体素子 2 が電氣的に接続される第 1 の導電パターン 4 が形成された第 1 の絶縁基板 5 と、第 1 の絶縁基板 5 の実装部 3 の周囲に立ち上がって設けられる側壁 6 と、第 1 の絶縁基板 5 と側壁 6 とによって構成され、実装部 3 に半導体素子 2 が実装されるとともに封止樹脂 1 2 によって封止されるキャビティ 7 と、キャビティ 7 及び側壁 6 上に設けられ、側壁 6 を貫通して設けられたメッキスルーホール 2 6 によって第 1 の導電パターン 4 と電氣的接続が図られた第 2 の伝導パターン 3 1 が一方の面に設けられた第 2 の絶縁基板 1 0 とを備え、第 2 の絶縁基板 1 0 の一方の面上には、全面に亘って格子状に、はんだランド 9 が設けられている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社